

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



In re Application of:  
**Joel Hatsch et al.**

Serial No.: **10/735,956**

Filing Date: **December 15, 2003**

Title: **6-To-3 Bit Carry-Save Adder**

§  
§  
§  
§  
§  
§  
§  
§

Group Art Unit: **2182**

Examiner:

Attny. Docket No. **068758.0151**

Client Ref.: **I0246US/lg/pp**

Mail Stop Missing Parts  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

CERTIFICATE OF MAILING VIA EXPRESS MAIL

PURSUANT TO 37 C.F.R. § 1.10, I HEREBY CERTIFY THAT I HAVE INFORMATION AND A REASONABLE BASIS FOR BELIEF THAT THIS CORRESPONDENCE WILL BE DEPOSITED WITH THE U.S. POSTAL SERVICE AS EXPRESS MAIL POST OFFICE TO ADDRESSEE, ON THE DATE BELOW, AND IS ADDRESSED TO:

MAIL STOP MISSING PARTS  
COMMISSIONER FOR PATENTS  
P.O. BOX 1450  
ALEXANDRIA, VA 22313-1450

*[Signature]*

EXPRESS MAIL LABEL: **EV449863400US**  
DATE OF MAILING: **APRIL 5, 2004**

SUBMISSION OF PRIORITY DOCUMENT

Dear Sir:

We enclose herewith a certified copy of German patent application 101 30 483.8 filed June 25, 2001 which is the priority document for the above-referenced patent application.

Respectfully submitted,

BAKER BOTTS L.L.P.

By: *[Signature]*  
Andreas H. Grabert  
(Limited recognition 37 C.F.R. §10.9)  
One Shell Plaza  
910 Louisiana Street  
Houston, Texas 77002-4995  
Telephone: 713.229.1964  
Facsimile: 713.229.7764  
AGENT FOR APPLICANTS

Date: April 5, 2004

# BUNDESREPUBLIK DEUTSCHLAND



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 101 30 483.8

**Anmeldetag:** 25. Juni 2001

**Anmelder/Inhaber:** Infineon Technologies AG,  
81669 München/DE

**Bezeichnung:** 6-zu-3 Bit Carry-Save Addierer

**IPC:** G 06 F 7/50

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 8. März 2004  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

Wallner

## Beschreibung

## 6-zu-3 Bit Carry-Save Addierer

- 5 Die Erfindung betrifft einen Carry-Save Addierer zum Summieren einer Mehrzahl von Bits derselben Wertigkeit.

Carry-Save (CS) Addierer sind in der Technik bekannt und werden durch elektrische Schaltungen in Form von monolithisch  
10 integrierten Bausteinen realisiert. Der am häufigsten verwendete CS Addierer ist der 3-zu-2 Bit Volladdierer, welcher drei gleichwertige (d.h. vertauschbare) Eingänge und zwei Ausgänge in Form eines Summen-Bits und eines Übertrags-Bits aufweist.

15

Für die Addition von mehr als drei Bits gleicher Wertigkeit wird häufig ein Wallace-Tree-(WT-)Addierer eingesetzt. Ein WT-Addierer ist ein mehrstufiger Addierer, welcher in jeder Stufe die Anzahl der zu addierenden Bits verkleinert. Die  
20 einzelnen Stufen eines WT-Addierers sind aus parallel zueinander angeordneten 3-zu-2 CS-Volladdierern aufgebaut. Mit jeder Stufe verringert sich die Anzahl der für diese Stufe benötigten Volladdierer.

- 25 In dem U.S.-Patent 5,504,915 ist ein modifizierter WT-Addierer beschrieben, welcher zusätzlich zu den 3-zu-2 CS Volladdierern 5-zu-3 Addierer enthält. Die 5-zu-3 Addierer weisen jeweils vier Eingänge für zu summierende Bits und einen Eingang für ein Übertrags-Bit sowie zwei Ausgänge für zwei Summen-Bits und einen Ausgang für ein Übertrags-Bit auf.  
30

Im folgenden werden unter CS Addierern Bit-Addierer mit logisch gleichwertigen Eingängen verstanden. Der Erfindung liegt die Aufgabe zugrunde, einen vielfältig und aufwandsgünstig einsetzbaren CS Addierer zu schaffen. Insbesondere soll  
35 der CS Addierer einen geringen Implementierungsaufwand erfordern sowie die Realisierung eines Addiererbaums mit wenigen

Stufen ermöglichen. Ferner werden insbesondere kurze Signallaufzeiten und eine geringe Stromaufnahme angestrebt.

Die der Erfindung zugrunde liegende Aufgabenstellung wird  
5 durch die Merkmale des Anspruchs 1 gelöst.

Aufgrund seiner sechs gleichartigen Eingänge vermag der erfindungsgemäße 6-zu-3-Bit CS Addierer in einer Addiererstufe 6 Bits zu addieren. Durch die Ausgabe von zwei Überträgen unterschiedlicher Wertigkeit wird die Darstellungsmöglichkeit von drei Ausgangssignalen für die gleichzeitige Addition von  
10 sechs Eingangs-Bits gleicher Wertigkeit genutzt. Verglichen mit herkömmlichen Lösungen zur Addition von sechs Eingangs-Bits bestehend aus kaskadierten 3-zu-2 CS Addierern kann aufgrund dieser einstufigen (in bezug auf die Kaskadierung von  
15 Addiererbausteinen) Ausführung ein geringerer Verdrahtungsaufwand, schnellere Schaltzeiten und eine geringere Leistungsaufnahme erreicht werden.

20 Eine besonders bevorzugte Ausgestaltung des erfindungsgemäßen 6-zu-3 CS Addierers kennzeichnet sich dadurch, dass der 6-zu-3 CS Addierer aus drei parallel zueinander angeordneten Addierersubblöcken aufgebaut ist. Dabei erzeugt ein erster Addierersubblock das Summen-Bit der Wertigkeit  $w$ , ein zweiter  
25 Addierersubblock erzeugt das Übertrags-Bit der Wertigkeit  $2w$  und der dritte Addierersubblock erzeugt das Übertrags-Bit der Wertigkeit  $4w$ .

Nach einer ersten bevorzugten Ausführungsform der Erfindung  
30 ist wenigstens ein und insbesondere jeder Addierersubblock aus Logiggattern aufgebaut. Mit dem Begriff "Logiggatter" sind hier die Grundelemente digitaler Schaltkreise, d.h. AND-Gatter (UND-Gatter), OR-Gatter (ODER-Gatter), XOR-Gatter (Exklusiv-ODER-Gatter), NAND-Gatter (invertiertes UND-Gatter)  
35 NOR-Gatter (invertiertes ODER-Gatter) und Inverter bezeichnet.

In diesem Fall ist vorzugsweise der bzw. insbesondere jeder Addierersubblock aus maximal drei hintereinander geschalteten Logiggatterstufen realisiert, so dass sämtliche Ausgabe-Bits bereits nach drei Gatterlaufzeiten zeitgleich zur Verfügung stehen (Inverter werden bei der Zählung der Logiggatterstufen nicht berücksichtigt).

Eine zweite bevorzugte Ausführungsform der Erfindung kennzeichnet sich dadurch, dass ein und insbesondere jeder Addierersubblock aus einer Mehrtransistorschaltung besteht, welche nicht in eine Mehrzahl von Logikkattern (gemäß vorstehender Definition) auflösbar ist. Mit anderen Worten bildet jeder Addierersubblock ein einzelnes, eigenständiges "Komplexgatter" ohne interne Logiggatterstruktur, welches darüber hinaus unabhängig von den anderen Addierersubblöcken ist. Hierdurch können besonders schnelle sowie platz- und stromsparende Schaltungen realisiert werden, da die Anzahl der Transistoren solcher Schaltungen kleiner gehalten werden kann als bei Schaltungen, die auf Logiggatterebene konzipiert sind.

Eine besonders bevorzugte Ausgestaltung eines solchen übertragserhaltenden Addierers umfasst eine Aufladeschaltung, die mit der jeweiligen Mehrtransistorschaltung derart verbunden ist, dass sie über diese in Abhängigkeit von den an den Eingängen des Addierers anliegenden Bits entladen wird. Diese Auslegung des erfindungsgemäßen Addierers, welche dem Konzept der dynamischen Schaltungsauslegung folgt, minimiert den Leistungsbedarf des Addierers.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen angegeben.

Die Erfindung wird nachfolgend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung beschrieben; in dieser zeigt:

- Fig. 1 eine Schaltungsdarstellung eines 3-zu-2 CS Addierers auf Gatterebene nach dem Stand der Technik;
- 5 Fig. 2 ein Schaltbild eines NAND-Gatters auf Transistorebene nach dem Stand der Technik;
- Fig. 3 einen WT-Addierer, welcher aus kaskadierten 3-zu-2 CS Addierern aufgebaut ist, nach dem Stand der Technik;
- 10 Fig. 4 eine schematische Darstellung eines erfindungsgemäßen 6-zu-3 CS Addierers;
- Fig. 5 eine Wahrheitstabelle für einen erfindungsgemäßen 6-zu-3 CS Addierer;
- 15 Fig. 6 ein Blockdiagramm eines erfindungsgemäßen 6-zu-3 CS Addierers;
- 20 Fig. 7 ein Blockschaltbild eines ersten Addierersubblocks ADD-S aus Fig. 6 gemäß einem ersten Ausführungsbeispiel der Erfindung;
- 25 Fig. 8 ein Blockschaltbild eines zweiten Addierersubblocks ADD-C0 aus Fig. 6 gemäß dem ersten Ausführungsbeispiel der Erfindung;
- Fig. 9 ein Blockschaltbild eines dritten Addierersubblocks ADD-C1 aus Fig. 6 gemäß dem ersten Ausführungsbeispiel der Erfindung;
- 30 Fig. 10 ein Blockschaltbild eines ersten Addierersubblocks ADD-S aus Fig. 6 gemäß einem zweiten Ausführungsbeispiel der Erfindung;

Fig. 11 ein Blockschaltbild eines zweiten Addierersubblocks ADD-C0 aus Fig. 6 gemäß dem zweiten Ausführungsbeispiel der Erfindung; und

5 Fig. 12 ein Blockschaltbild eines dritten Addierersubblocks ADD-C1 aus Fig. 6 gemäß dem zweiten Ausführungsbeispiel der Erfindung;

Fig. 1 zeigt einen 3-zu-2 CS Volladdierer, welcher ausschließlich aus NAND-Gattern 10 mit zwei Eingängen aufgebaut ist. Der 3-zu-2 CS Volladdierer weist drei Eingänge A, B, Ci (Carry in) und zwei Ausgänge S, Co (Carry out) auf. Die drei Eingänge sind gleichwertig, der Ausgang S gibt das Summen-Bit der Wertigkeit der Eingänge und der Ausgang Co das Übertrags-  
 10 Bit der zwei-fachen Wertigkeit aus. Im Gegensatz zu den Eingängen A, B, Ci sind die Ausgänge S und Co also nicht vertauschbar. In dieser Schaltung werden zur Ergebnisberechnung  
 15 6 Gatterlaufzeiten benötigt.

20 Fig. 2 zeigt die Transistorschaltung eines NAND-Gatters 10 in CMOS-Technik gemäß dem Stand der Technik. Die beiden Eingänge des NAND-Gatters 10 sind mit X1, X2, der Ausgang des NAND-Gatters 10 mit Y, das Bezugspotential mit vss und die Betriebsspannung mit vdd bezeichnet. Das NAND-Gatter 10 besteht  
 25 aus zwei in Reihe geschalteten N-Kanal-Feldeffekt-Transistoren N1, N2 und zwei parallel geschalteten P-Kanal-Feldeffekt-Transistoren P1, P2. Die Ausgangsspannung  $U_Y$  ist nur dann 0V, wenn beide N-Kanal-Feldeffekt-Transistoren N1, N2 leitend sind. Das ist der Fall, wenn für die beiden Eingangsspannungen  $U_{X1}$ ,  $U_{X2}$  die Beziehung  $U_{X1} = U_{X2} = vdd$  gilt. Mit  $U_{X1} = 0$   
 30 oder  $U_{X2} = 0$  sperrt ein N-Kanal-Feldeffekt-Transistor N1, N2 und ein P-Kanal-Feldeffekt-Transistor P1, P2 leitet, so dass  $U_Y = vdd$  ist.

35 Fig. 3 zeigt einen fünf-stufigen WT-Addierer 1 zur Addition von 13 Eingabe-Bits 2 gleicher Wertigkeit nach dem Stand der Technik.

Der WT-Addierer 1 umfasst insgesamt 11 3-zu-2 CS Volladdierer 3, die z.B. gemäß den Fig. 1 und 2 aufgebaut sind.

5 Die fünf Stufen 1.1, 1.2, 1.3, 1.4, 1.5 des WT-Addierers 1 umfassen 4, 3, 2, 1 bzw. 1 3-zu-2 CS Volladdierer 3. Die 13 Eingänge des WT-Addierers 1 sind durch die 12 Eingänge 2 der ersten Stufe 1.1 und einen Eingang 2 der zweiten Stufe 1.2 realisiert.

10

Während die Ausgänge S der ersten Stufe 1.1 jeweils Eingängen der 3-zu-2 CS Volladdierer 3 der zweiten Stufe 1.2 zugeführt werden, werden die 4 Ausgänge Co, welche ein Übertrags-Bit 4 bereitstellen, einer zweiten Stufe eines (nicht dargestellten) WT-Addierers zur Addition eines Bit-Satzes mit einer  
15 nächst höheren Wertigkeit zugeleitet. In analoger Weise empfangen die 3-zu-2 CS Volladdierer 3 der zweiten Stufe 1.2 jeweils ein oder zwei Übertrags-Bits 5, welche von einer ersten Stufe eines (ebenfalls nicht dargestellten) WT-Addierers für  
20 einen Bit-Satz mit nächst niedrigerer Wertigkeit ausgegeben werden.

25

Dieses Prinzip setzt sich über die zweite 1.2 und dritte 1.3, dritte 1.3 und vierte 1.4 und vierte 1.4 und fünfte 1.5 Stufe des WT-Addierers 1 fort. Der Ausgang des WT-Addierers wird durch ein Summen-Bit 6 und ein partielles Übertrags-Bit 7, welches von der fünften Stufe des WT-Addierers 1 nächst niedrigerer Wertigkeit stammt, repräsentiert.

30

Fig. 4 zeigt eine schematische Darstellung eines erfindungsgemäßen 6-zu-3 CS Addierers. Der Addierer weist die Eingänge I0, I1, I2, I3, I4, I5 und die Ausgänge S, C0, C1 auf. Die Addition von sechs Bits umfasst einen Wertebereich zwischen Null und sechs. Die drei Ausgänge des 6-zu-3 CS Addierers re-  
35 präsentieren die Summe der an den Eingängen anliegenden Bits in dualkodierter Form. Der Ausgang S für das Summen-Bit weist die gleiche Wertigkeit wie der Satz von Eingangs-Bits I0 bis



I5 auf. Bei dem Ausgang C0 handelt es sich um einen Übertrags-Ausgang, welcher eine um den Faktor 2 höhere Wertigkeit als der Ausgang S für das Summen-Bit aufweist. Der Ausgang C1 ist ebenfalls ein Ausgang für ein Übertrags-Bit jedoch mit einer nochmals um den Faktor 2 erhöhten Wertigkeit gegenüber dem Ausgang C0. Mit anderen Worten weisen die Ausgänge S, C0 und C1 die Wertigkeiten  $2^0$ ,  $2^1$  und  $2^2$  bezogen auf die Wertigkeit des Bit-Satzes am Eingang des 6-zu-3 CS Addierers auf.

Fig. 5 gibt die Wahrheitstabelle eines 6-zu-3 CS Addierers wieder.

Fig. 6 zeigt in beispielhafter Weise den Aufbau eines erfindungsgemäßen 6-zu-3 Addierers. Die sechs äquivalenten Eingänge des 6-zu-3 CS Addierers sind wiederum mit den Bezugszeichen I0, I1, I2, I3, I4, I5 bezeichnet.

Der 6-zu-3 CS Addierer umfasst drei Addierersubblöcke, die mit den Bezugszeichen ADD-S, ADD-C0 und ADD-C1 bezeichnet sind. Jeder Addierersubblock ADD-S, ADD-C0, ADD-C1 weist die sechs Eingänge I0, I1, I2, I3, I4, I5 auf. Die Addierersubblöcke ADD-S, ADD-C0, ADD-C1 sind mit Ausnahme der eingangsseitigen Kopplung nicht untereinander verschaltet.

Der Addierersubblock ADD-S gibt an seinem Ausgang S das Bit der Wertigkeit  $2^0$  aus. Die entsprechenden Ausgänge C0 und C1 der zweiten und dritten Addierersubblöcke ADD-C0 und ADD-C1 geben jeweils das Bit der Wertigkeit  $2^1$  (Ausgang C0) bzw. das Bit der Wertigkeit  $2^2$  (Ausgang C1) aus.

In den Fig. 7 bis 9 sind mögliche Realisierungen der Gatterstrukturen der einzelnen Addierersubblöcke ADD-S, ADD-C0 und ADD-C1 gemäß einem ersten Ausführungsbeispiel des erfindungsgemäßen 6-zu-3 CS Addierers gezeigt. Jeder Addierersubblock ADD-S, ADD-C0 und ADD-C1 ist bei diesem Ausführungsbeispiel aus einzelnen Logiggattern aufgebaut, welche in mehreren hintereinander angeordneten Gatterstufen angeordnet sind. Gemäß

dem hier verwendeten Sprachgebrauch enthält eine Gatterstufe genau ein Logikgatter, wie beispielsweise XOR, NAND, usw., oder eine Parallelanordnung derartiger Logikgatter. Inverter bilden keine Gatterstufen.

5

Fig. 7 verdeutlicht die Gatterstruktur des Addierersubblocks ADD-S. Die Eingänge I0, I1, ..., I5 sind paarweise mit den jeweils zwei Eingängen von insgesamt drei XOR-Gattern 11 der ersten Stufe ST1 des Addierersubblocks verbunden. Die (auf  
10 Gatterebene) zweite Stufe ST2 des Addierersubblocks ADD-S wird durch ein XOR-Gatter 11 realisiert. Die zwei Eingänge dieses Gatters werden durch die zwei Ausgänge von zwei XOR-Gattern 11 der ersten Stufe ST1 gebildet.

15 Eine dritte und letzte Stufe ST3 des Addierersubblocks ADD-S wird durch ein weiteres einzelnes XOR-Gatter 11 realisiert, das von dem Ausgang des XOR-Gatters 11 der zweiten Stufe ST2 und dem Ausgang des verbleibenden Gatters 11 der ersten Stufe ST1 gespeist wird. Der Ausgang des XOR-Gatters 11 der dritten  
20 Stufe ST3 ist der Summen-Bit Ausgang des 6-zu-3 CS Addierers.

Der detaillierte Aufbau des Addierersubblocks ADD-C0 ist in Fig. 8 dargestellt. Er besteht ebenfalls lediglich aus drei Stufen ST1, ST2, und ST3 (wobei wie bereits erwähnt die in  
25 der Zeichnung durch Dreieck-Symbole dargestellten Inverter nicht als Stufen gezählt werden). Die erste Stufe ST1 ist aus 20 NAND-Gattern 12 mit jeweils fünf Eingängen und einem NAND-Gatter 13 mit 6 Eingängen ausgebildet, die zweite Stufe ST2 umfasst drei NAND-Gatter 14 mit jeweils sieben Eingängen und  
30 die dritte Stufe ST3 wird durch ein NAND-Gatter 15 mit drei Eingängen gebildet. Der Ausgang des NAND-Gatters 15 der dritten Stufe ST3 realisiert den Ausgang C0 der Wertigkeit  $2^1$  des 6-zu-3 CS Addierers aus Fig. 4.

35 Die Verschaltung der einzelnen NAND-Gatter 12 bis 15 der drei Stufen ST1-3 des Addierersubblocks ADD-C0 wird durch die in Fig. 8 angegebenen Bezugszeichen erläutert. Dabei bezeichnen

NI0 bis NI5 die invertierten Eingänge I0 bis I5. Dies ist im rechten oberen Teil von Fig. 8 symbolisch dargestellt.

Fig. 9 zeigt den Aufbau des Addierersubblocks ADD-C1 aus Fig. 6 gemäß dem ersten Ausführungsbeispiel auf Gatterebene. Wiederum sind drei Stufen ST1, ST2 und ST3 vorhanden. Die erste Stufe ST1 umfasst 15 NAND-Gatter 16 mit jeweils vier Eingängen, die zweite Stufe ST2 umfasst drei NAND-Gatter 12 mit jeweils fünf Eingängen und die dritte Stufe ST3 umfasst ein  
10 NAND-Gatter 15 mit drei Eingängen. Die Verschaltung der einzelnen Stufen ST1, ST2, ST3 sowie die Belegung der jeweils vier Eingänge der NAND-Gatter 16 der ersten Stufe ST1 sind der Fig. 9 unter Zuhilfenahme der Bezugszeichen zu entnehmen. Wie erkennbar, werden sämtliche Eingänge nicht-invertiert an-  
15 gesteuert.

Es wird deutlich, dass der in den Fig. 6 bis 9 erläuterte 6-zu-3 CS Addierer mit lediglich drei Stufen ST1, ST2 und ST3 auf (Logik-)Gatterebene für die Addition von sechs Bits aus-  
20 kommt.

Die Figuren 10 bis 12 zeigen den Aufbau der in Fig. 6 dargestellten Addierersubblöcke ADD-S, ADD-C0 und ADD-C1 gemäß einem zweiten Ausführungsbeispiel der Erfindung. Das zweite  
25 Ausführungsbeispiel der Erfindung unterscheidet sich von dem ersten Ausführungsbeispiel im wesentlichen dadurch, dass die einzelnen Addierersubblöcke ADD-S, ADD-C0 und ADD-C1 jeweils aus einer Mehrtransistorschaltung aufgebaut sind, die nicht in einzelne Logiggatter zerlegbar ist. Die logischen Funktionen dieser Mehrtransistorschaltungen werden durch den Schaltungs-  
30 aufbau auf Transistorebene bestimmt.

Die Mehrtransistorschaltung des Addierersubblocks ADD-S wird mit MS, die Mehrtransistorschaltung des Addierersubblocks  
35 ADD-C0 wird mit MC0 und die Mehrtransistorschaltung des Addierersubblocks ADD-C1 wird mit MC1 bezeichnet.

Sämtliche Mehrtransistorschaltungen MS, MC0 und MC1 weisen einen Knoten K1 auf, welcher mit der Bezugsspannung vss verbunden ist. Ferner ist ihnen gemeinsam, dass sie über zwei Knoten K2 und K3 mit einer Treiberschaltung TR verbunden sind. Der Treiberschaltung TR wird die Betriebsspannung vdd zugeführt.

Eine weitere Gemeinsamkeit besteht darin, dass sämtliche Mehrtransistorschaltungen MS, MC0, MC1 zusätzlich zu ihren jeweiligen Bit-Ausgängen S bzw. C0 bzw. C1 auch (in Fig. 6 nicht dargestellte) invertierte Bit-Ausgänge NS bzw. NC0 bzw. NC1 aufweisen. Der Knoten K2 steht mit dem jeweiligen nicht invertierten Bit-Ausgang S, C0, C1 in Verbindung und der Knoten K3 ist mit dem jeweiligen invertierten Bit-Ausgang NS, NC0, NC1 verbunden.

Nach Fig. 10 umfasst die Mehrtransistorschaltung MS insgesamt 22 N-Kanal-Transistoren, die über ihre Basis entweder mit den Eingängen I0, ..., I5 oder den entsprechenden invertierten Eingängen NI0, ..., NI5 angesteuert werden.

Zwei den Eingängen I0/NI0 zugeordnete Transistoren N1\_1, N1\_2 liegen mit ihren Source-Anschlüssen an der Bezugsspannung vss und speisen mit ihren Drain-Anschlüssen die restliche Mehrtransistorschaltung MS. Diese weist für jeden der Eingänge I1/NI1, ..., I5/NI5 jeweils vier N-Kanal-Transistoren N2\_1, ..., N2\_4 bzw. N3\_1, ..., N3\_4 bzw. N4\_1, ..., N4\_4 bzw. N5\_1, ..., N5\_4 bzw. N6\_1, ..., N6\_4 auf. Die Drain-Anschlüsse der Transistoren Ni\_1 und Ni\_3 sind miteinander verbunden und stehen mit den Source-Anschlüssen der Transistoren N(i+1)\_1 und N(i+1)\_2 in Verbindung, und andererseits sind die Drain-Anschlüsse der Transistoren Ni\_2 und Ni\_4 miteinander verbunden und stehen mit den Source-Anschlüssen der Transistoren N(i+1)\_3 und N(i+1)\_4 in Verbindung,  $i = 1, \dots, 5$ .

Ausgangsseitig steht der Knoten K2 mit den Drain-Anschlüssen der Transistoren N6\_1 und N6\_3 in Verbindung und der Knoten

K3 steht mit den Drain-Anschlüssen der Transistoren N6\_2 und N6\_4 in Verbindung. Dabei werden die Transistoren Ni\_1 und Ni\_4 jeweils nicht-invertiert und die Transistoren Ni\_2 und Ni\_3 jeweils invertiert von dem betreffenden Eingang angesteuert.

Nach Fig. 11 weist die Mehrtransistorschaltung MC0 zwei den Eingängen I0/NI0 zugeordnete N-Kanal-Transistoren N1\_1 und N1\_2, vier den Eingängen I1/NI1 zugeordnete N-Kanal-Transistoren N2\_1, ..., N2\_4, sechs den Eingängen I2/NI2 zugeordnete N-Kanal-Transistoren N3\_1, ..., N3\_6, acht den Eingängen I3/NI3 zugeordnete N-Kanal-Transistoren N4\_1, ..., N4\_8, acht den Eingängen I4/NI4 zugeordnete N-Kanal-Transistoren N5\_1, ..., N5\_8, und vier den Eingängen I5/NI5 zugeordnete N-Kanal-Transistoren N6\_1, ..., N6\_4 auf. Die Transistoren Ni\_j mit einem geraden Index j werden invertiert angesteuert, während Transistoren mit einem ungeraden Index j nicht-invertiert angesteuert werden.

Die Source-Anschlüsse der beiden Transistoren N1\_1 und N1\_2 stehen mit K1 in Verbindung. Die Source-Anschlüsse der Transistoren N2\_1 und N2\_2 sind mit dem Drain-Anschluss des Transistors N1\_1 verbunden, und die Source-Anschlüsse der Transistoren N2\_3 und N2\_4 sind mit dem Drain-Anschluss des Transistors N1\_2 verbunden. Die Source-Anschlüsse der Transistor-Paare N3\_1, N3\_2 bzw. N3\_3, N3\_4 bzw. N3\_5, N3\_6 sind mit den Drain-Anschlüssen der Transistoren N2\_1 bzw. N2\_2 und N2\_3 bzw. N2\_4 verbunden.

Die Source-Anschlüsse der Transistor-Paare N4\_1, N4\_2 bzw. N4\_3, N4\_4 bzw. N4\_5, N4\_6 bzw. N4\_7, N4\_8 sind mit den Drain-Anschlüssen der Transistoren N3\_1 bzw. N3\_2 und N3\_3 bzw. N3\_4 und N3\_5 bzw. N3\_6 verbunden. Die Source-Anschlüsse der Transistor-Paare N5\_1, N5\_2 bzw. N5\_3, N5\_4 bzw. N5\_5, N5\_6 bzw. N5\_7, N5\_8 sind mit den Drain-Anschlüssen der Transistoren N4\_1 und N4\_8 bzw. N4\_2 und N4\_3 bzw. N4\_4 und N4\_5 bzw. N4\_6 und N4\_7 verbunden. Die Source-Anschlüsse der Tran-

sistoren N6\_1 und N6\_2 sind mit den Drain-Anschlüssen der Transistoren N5\_1 und N5\_8 und die Source-Anschlüsse der Transistoren N6\_3 und N6\_4 sind mit den Drain-Anschlüssen der Transistoren N5\_4 und N5\_5 verbunden. Der Knoten K2 steht mit  
 5 den Drain-Anschlüssen der Transistoren N6\_2, N5\_2, N5\_3 und N6\_3 in Verbindung, und der Knoten K3 ist mit den Drain-Anschlüssen der Transistoren N6\_1, N6\_4, N5\_6 und N5\_7 verbunden.

10 Nach Fig. 12 sind bei der Mehrtransistorschaltung MC1 zwei N-Kanal-Transistoren N1\_1, N1\_2 den Eingängen I0/NI0 zugeordnet, vier N-Kanal-Transistoren N2\_1, ..., N2\_4 sind den Eingängen I1/NI1 zugeordnet, sechs N-Kanal-Transistoren N3\_1, ..., N3\_6 sind den Eingängen I2/NI2 zugeordnet, sechs N-  
 15 Kanal-Transistoren N4\_1, ..., N4\_6 sind den Eingängen I3/NI3 zugeordnet, vier N-Kanal-Transistoren N5\_1, ..., N5\_4 sind den Eingängen I4/NI4 zugeordnet, und zwei N-Kanal-Transistoren N6\_1, N6\_2 sind den Eingängen I5/NI5 zugeordnet.

20 Bezüglich der Transistoren Ni\_j mit  $i = 1, 2, 3, 4$  ist die Mehrtransistorschaltung MC1 identisch mit der Mehrtransistorschaltung MC0, mit Ausnahme der Tatsache, dass die Transistoren N4\_7 und N4\_8 nicht vorhanden sind. Die Source-Anschlüsse der Transistor-Paare N5\_1, N5\_2 bzw. N5\_3, N5\_4 sind mit den  
 25 Drain-Anschlüssen der Transistoren N4\_2 und N4\_3 bzw. N4\_4 und N4\_5 verbunden. Die Source-Anschlüsse der Transistoren N6\_1 und N6\_2 sind mit den Drain-Anschlüssen der Transistoren N5\_2 und N5\_3 verbunden. Der Knoten K2 ist mit den Drain-Anschlüssen der Transistoren N6\_2, N5\_4, N4\_6 und N3\_6 ver-  
 30 bunden, und der Knoten K3 steht mit den Drain-Anschlüssen der Transistoren N4\_1, N5\_1 und N6\_1 in Verbindung. Auch hier gilt, dass die Transistoren Ni\_j mit einem geraden Index j invertiert angesteuert werden, während Transistoren mit einem ungeraden Index j nicht-invertiert angesteuert werden.

35

Die Schaltung gemäß dem zweiten Ausführungsbeispiel kann je nach Ausführung der Treiberschaltung TR auf zwei unterschied-

liche Weisen betrieben werden. Bei einer ersten Betriebsform, welche mit dem Begriff „dynamische Schaltungstechnik“ umrissen wird, ist die Treiberschaltung TR als Aufladeschaltung ausgeführt, welche vor einem Rechenvorgang die beiden Knoten K2 und K3 auf Betriebsspannung vdd lädt. Damit werden beide Ausgänge S, NS bzw C0, NC0 bzw. C1, NC1 auf vdd vorgeladen. In dieser Vorladephase müssen die Mehrtransistorschaltungen MS, MC0, MC1 so angesteuert werden, dass sie hochohmig sind, d.h. die Ausgänge gegen vss isolieren.

10

Nach dem Aufladen der Knoten K2, K3 wird die Treiberschaltung TR hochohmig geschaltet, d.h. die Knoten K2 und K3 werden von vdd getrennt.

15

In einem nächsten Schritt werden die Transistoren der Mehrtransistorschaltungen MS, MC0, MC1 über die Eingänge I0/NI0, ..., I5/NI5 angesteuert, wodurch entsprechend der Bit-Belegung der Eingänge I0/NI0, ..., I5/NI5 partielle bzw. selektive Entladungspfade durch die Mehrtransistorschaltungen MS, MC0, MC1 ausgebildet werden. Diese bewirken die Signalerzeugung an dem Summen-Ausgang S und den Übertrags-Ausgängen C0 und C1 sowie an den entsprechenden invertierten Ausgängen NS, NC0 und NC1 innerhalb eines Entladezyklus.

20

25

Die beschriebene Vorgehensweise gemäß der dynamischen Schaltungstechnik weist einen minimalen Leistungsbedarf und kurze Signallaufzeiten auf.

30

Eine zweite Betriebsform der in den Fig. 6 und 10 bis 12 gezeigten Schaltung besteht darin, einen zeitlich dauerhaften Stromfluss durch die Schaltung vorzusehen. Die Treiberschaltung TR dient in diesem Fall als Vorwiderstand, welcher kleiner als der Widerstand der jeweiligen Mehrtransistorschaltung MS bzw. MC0 bzw. MC1 im sperrenden Zustand sein muss. Bei dieser Variante können ebenfalls kurze Signallaufzeiten erreicht werden, es tritt allerdings eine höhere Leistungsaufnahme als bei der ersten Variante auf. Vorteilhaft gegenüber

35

der ersten Variante ist jedoch die Tatsache, dass kurzzeitige Spannungsverluste an Eingängen  $I_0/NI_0$ , ...,  $I_5/NI_5$  während eines Rechengangs kompensiert werden können, während dies bei der erstgenannten Variante (dynamischen Schaltungstechnik) aufgrund der dort auftretenden irreversiblen Entladevorgänge nicht möglich ist. Diese bei der zweiten Variante gegebene Möglichkeit der „Berichtigung“ eines durch Störungen bzw. Spannungsabfälle verfälschten Berechnungsergebnisses innerhalb eines Rechenzyklus kann einen Vorteil der zweiten Variante gegenüber der aufgrund der transienten Entladeströme leistungsaufnahmeärmeren ersten Variante darstellen.



## Patentansprüche

1. Carry-Save Addierer zum Summieren von Bits gleicher Wertigkeit,

5 d a d u r c h g e k e n n z e i c h n e t,  
dass der Carry-Save Addierer

- 6 Eingänge ( $I_0, I_1, \dots, I_5$ ) zur Entgegennahme von 6 zu summierenden Bits jeweils gleicher Wertigkeit  $w$  und
- einen Ausgang ( $S$ ) für ein Summen-Bit der Wertigkeit  $w$  sowie
- 10 zwei Ausgänge ( $C_0, C_1$ ) für zwei Übertrags-Bits der Wertigkeiten  $2w$  und  $4w$  aufweist.

2. Carry-Save Addierer nach Anspruch 1

d a d u r c h g e k e n n z e i c h n e t,

- 15 - dass der Carry-Save Addierer aus drei parallel zueinander angeordneten Addierersubblöcken aufgebaut ist, wobei ein erster Addierersubblock (ADD-S) das Summen-Bit erzeugt, ein zweiter Addierersubblock (ADD- $C_0$ ) das Übertrags-Bit der Wertigkeit  $2w$  erzeugt und der dritte Addierersubblock (ADD- $C_1$ ) das Übertrags-Bit der Wertigkeit  $4w$  erzeugt.
- 20

3. Carry-Save Addierer nach Anspruch 2,

d a d u r c h g e k e n n z e i c h n e t,

- dass wenigstens ein und insbesondere jeder Addierersubblock
- 25 (ADD-S, ADD- $C_0$ , ADD- $C_1$ ) aus Logiggattern aufgebaut ist.

4. Carry-Save Addierer nach Anspruch 3,

d a d u r c h g e k e n n z e i c h n e t,

- dass der und insbesondere jeder Addierersubblock (ADD-S, ADD- $C_0$ , ADD- $C_1$ ) aus maximal drei hintereinander geschalteten Logiggatterstufen realisiert ist.
- 30

5. Carry-Save Addierer nach Anspruch 2,

d a d u r c h g e k e n n z e i c h n e t,

- 35 - dass ein und insbesondere jeder Addierersubblock (ADD-S, ADD- $C_0$ , ADD- $C_1$ ) aus einer Mehrtransistorschaltung besteht, welche nicht in Logikgatter auflösbar ist.

6. Carry-Save Addierer nach Anspruch 5,  
dadurch gekennzeichnet,  
- dass in der Mehrtransistorschaltung (MS), die den Addierer-  
subblock (ADD-S) zur Berechnung des Summen-Bits bildet, je-  
der Eingang (I0/Ni0, ..., I5/Ni5) vier Transistoren (Ni\_j)  
ansteuert.
7. Carry-Save Addierer nach Anspruch 5,  
dadurch gekennzeichnet,  
- dass in der Mehrtransistorschaltung (MC0), die den Addie-  
rersubblock (ADD-C0) zur Berechnung des Übertrags-Bits der  
Wertigkeit 2w bildet, ein erster Eingang (I0/Ni0) zwei  
Transistoren, ein zweiter (I1/Ni1) und ein dritter (I5/Ni5)  
Eingang jeweils vier Transistoren, ein vierter Eingang  
(I2/Ni2) sechs Transistoren und ein fünfter (I3/Ni3) und  
ein sechster (I4/Ni4) Eingang jeweils 8 Transistoren an-  
steuern.
8. Carry-Save Addierer nach Anspruch 5,  
dadurch gekennzeichnet,  
- dass in der Mehrtransistorschaltung (MC1), die den Addie-  
rersubblock (ADD-C1) zur Berechnung des Übertrags-Bits der  
Wertigkeit 4w bildet, ein erster (I0/Ni0) und ein zweiter  
(I5/Ni5) Eingang jeweils zwei Transistoren, ein zweiter  
(I1/Ni1) und ein dritter (I4/Ni4) Eingang jeweils vier  
Transistoren und ein fünfter (I2/Ni2) und ein sechster  
(I3/Ni3) Eingang jeweils 6 Transistoren ansteuern.
9. Carry-Save Addierer nach einem der Ansprüche 5 bis 8,  
gekennzeichnet durch  
- eine Aufladeschaltung (TR), die mit der Mehrtransistor-  
schaltung (MS; MC0; MC1) derart verbunden ist, dass sie  
über diese in Abhängigkeit von den an den Eingängen des Ad-  
dierers anliegenden Bits entladen wird.

## Zusammenfassung

## 6-zu-3 Bit Carry-Save Addierer

- 5 Ein Carry-Save Addierer zum Summieren von Bits gleicher Wertigkeit umfasst sechs Eingänge ( $I_0, I_1, \dots, I_5$ ) zur Entgegennahme von sechs zu summierenden Bits jeweils gleicher Wertigkeit  $w$ . Der Addierer weist einen Ausgang ( $S$ ) für ein Summenbit der Wertigkeit  $w$  sowie zwei Ausgänge ( $C_0, C_1$ ) für zwei
- 10 Übertrags-Bits der Wertigkeiten  $2w$  und  $4w$  auf.

(Fig. 6)

4/10

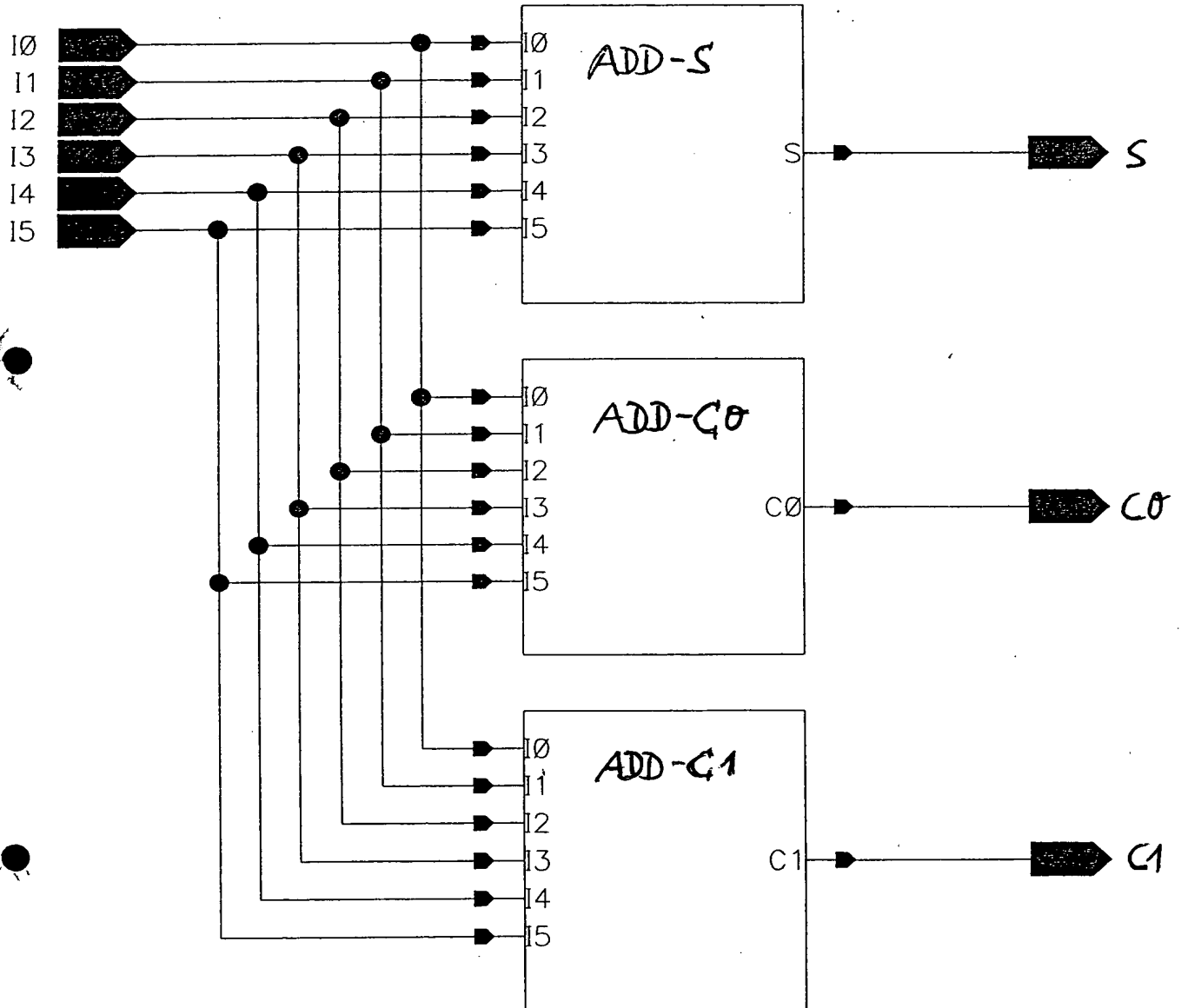
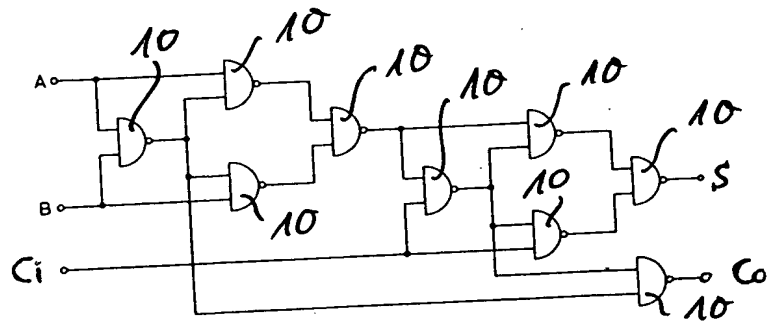


Fig. 6

1/10



(Stand der Technik) Fig. 1

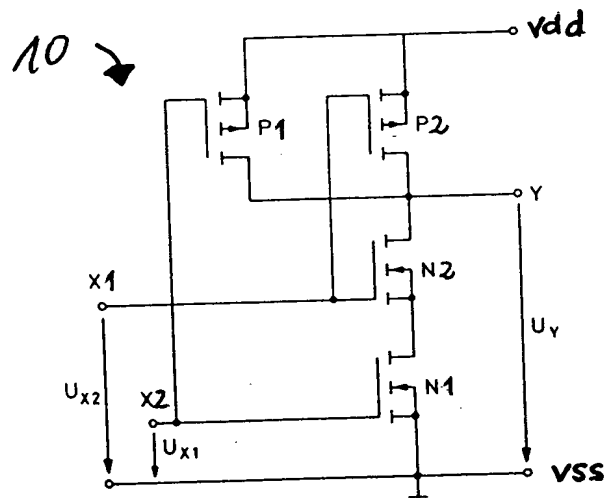


Fig. 2

(Stand der Technik)

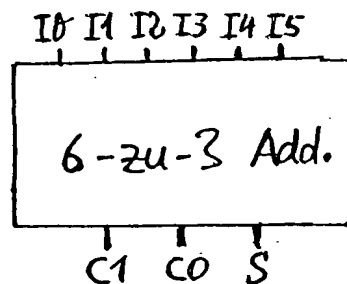
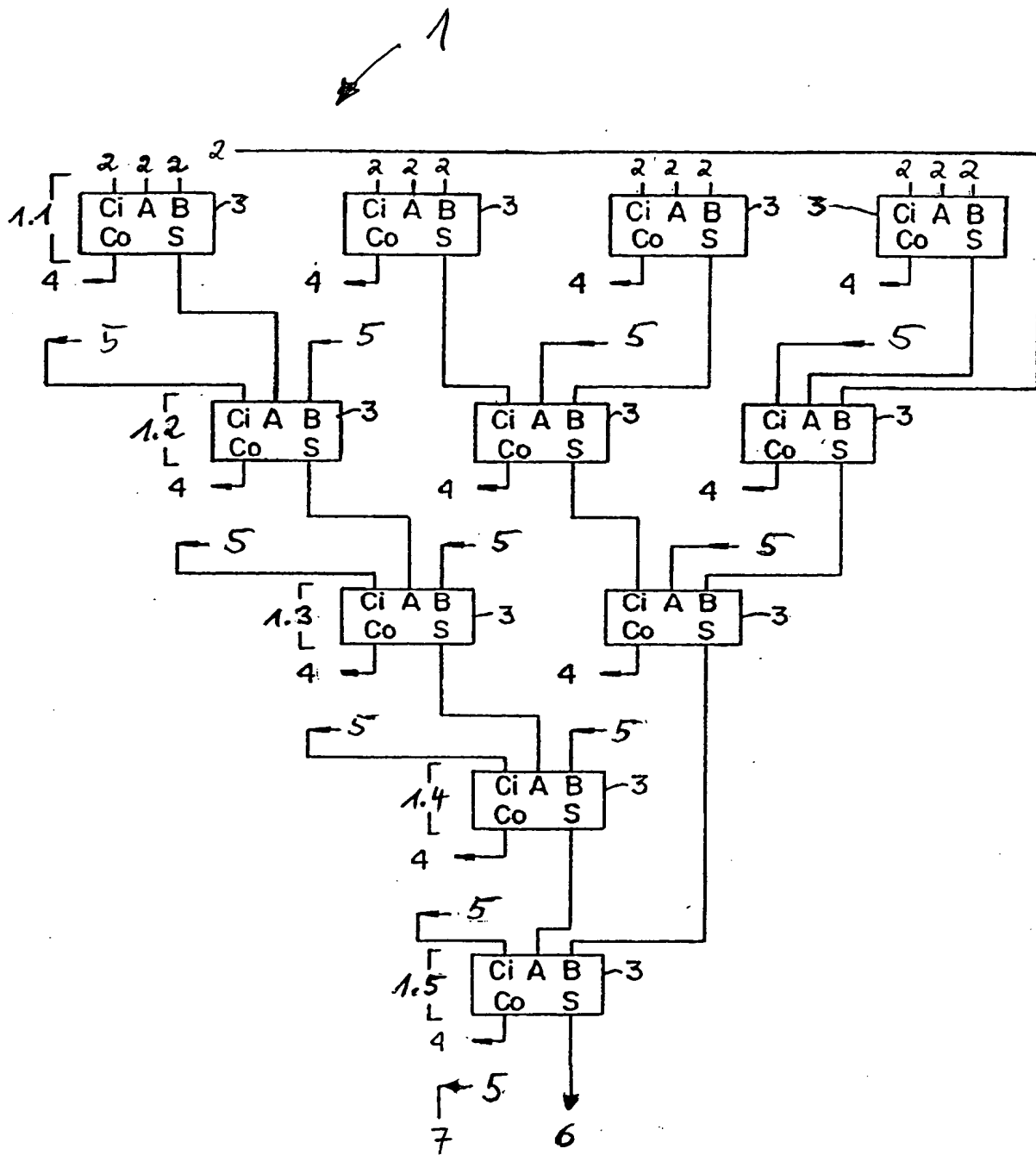


Fig. 4

2/10



(Stand der Technik)

Fig. 3

3/10

I5	I4	I3	I2	I1	I0	C1	C0	S
0	0	0	0	0	0	0	0	0
0	0	0	0	0	1	0	0	1
0	0	0	0	1	0	0	0	1
0	0	0	0	1	1	0	1	0
0	0	0	1	0	0	0	0	1
0	0	0	1	0	1	0	1	0
0	0	0	1	1	0	0	1	0
0	0	0	1	1	1	0	1	1
0	0	1	0	0	0	0	0	1
0	0	1	0	0	1	0	1	0
0	0	1	0	1	0	0	1	0
0	0	1	0	1	1	0	1	1
0	0	1	1	0	0	0	1	0
0	0	1	1	0	1	0	1	1
0	0	1	1	1	0	0	1	1
0	0	1	1	1	1	1	0	0
0	1	0	0	0	0	0	0	1
0	1	0	0	0	1	0	1	0
0	1	0	0	1	0	0	1	0
0	1	0	0	1	1	0	1	1
0	1	0	1	0	0	0	1	0
0	1	0	1	0	1	0	1	1
0	1	0	1	1	0	0	1	1
0	1	0	1	1	1	1	0	0
0	1	1	0	0	0	0	1	0
0	1	1	0	0	1	0	1	1
0	1	1	0	1	0	0	1	1
0	1	1	0	1	1	1	0	0
0	1	1	1	0	0	0	1	1
0	1	1	1	0	1	1	0	0
0	1	1	1	1	0	1	0	0
0	1	1	1	1	1	1	0	1

I5	I4	I3	I2	I1	I0	C1	C0	S
1	0	0	0	0	0	0	0	1
1	0	0	0	0	1	0	1	0
1	0	0	0	1	0	0	1	0
1	0	0	0	1	1	0	1	1
1	0	0	1	0	0	0	1	0
1	0	0	1	0	1	0	1	1
1	0	0	1	1	0	0	1	1
1	0	0	1	1	1	1	0	0
1	0	1	0	0	0	0	1	0
1	0	1	0	0	1	0	1	1
1	0	1	0	1	0	0	1	1
1	0	1	0	1	1	1	0	0
1	0	1	1	0	0	0	1	1
1	0	1	1	0	1	1	0	0
1	0	1	1	1	0	1	0	0
1	0	1	1	1	1	1	0	1
1	1	0	0	0	0	0	1	0
1	1	0	0	0	1	0	1	1
1	1	0	0	1	0	0	1	1
1	1	0	0	1	1	1	0	0
1	1	0	1	0	0	0	1	1
1	1	0	1	0	1	1	0	0
1	1	0	1	1	0	1	0	0
1	1	0	1	1	1	1	0	1
1	1	1	0	0	0	0	1	1
1	1	1	0	0	1	1	0	0
1	1	1	0	1	0	1	0	0
1	1	1	0	1	1	1	0	1
1	1	1	1	0	0	1	0	0
1	1	1	1	0	1	1	0	1
1	1	1	1	1	0	1	0	1
1	1	1	1	1	1	1	1	0

Fig. 5

4 / 10

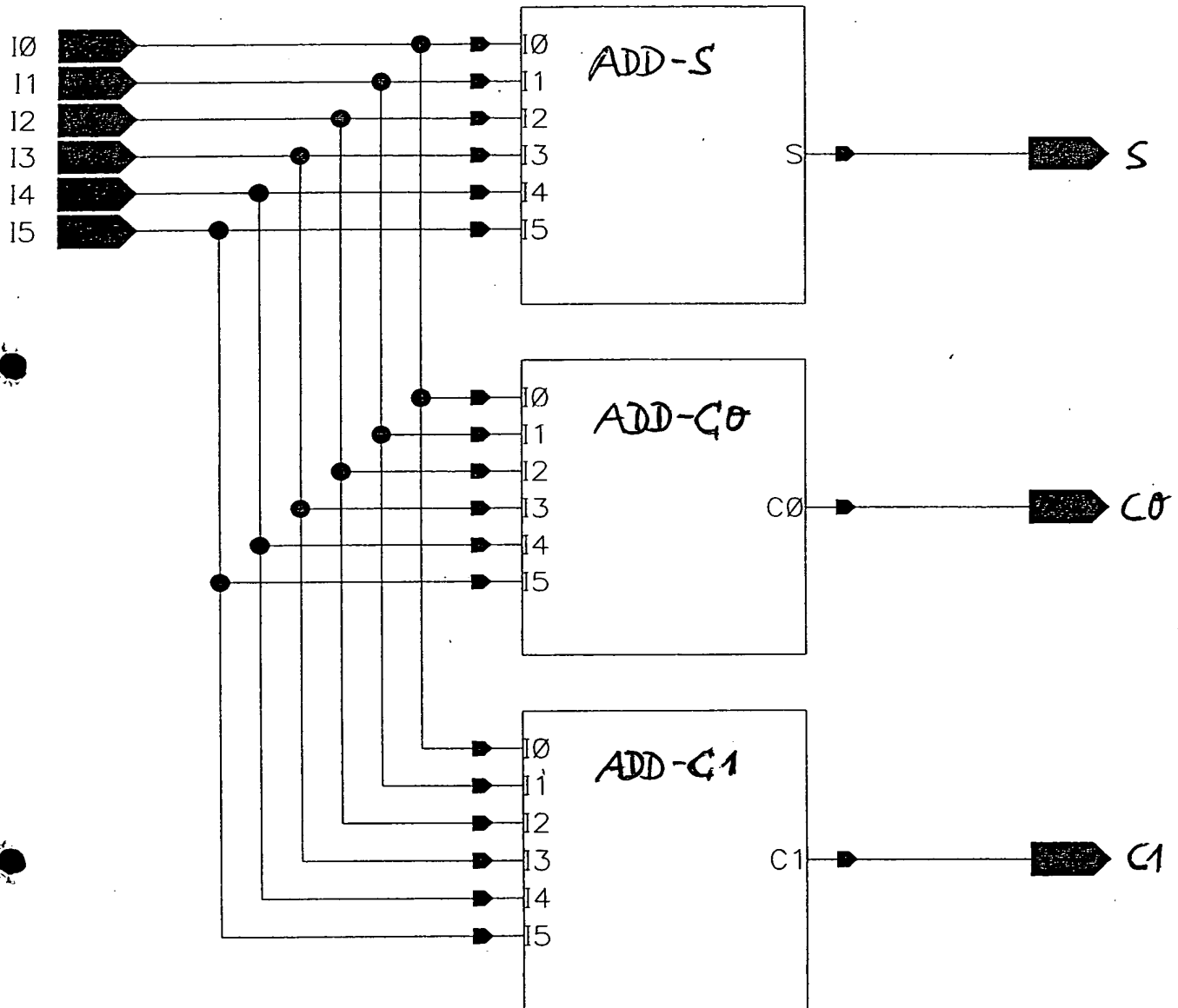


Fig. 6



5/10

ADD-S

ST3

ST2

ST1

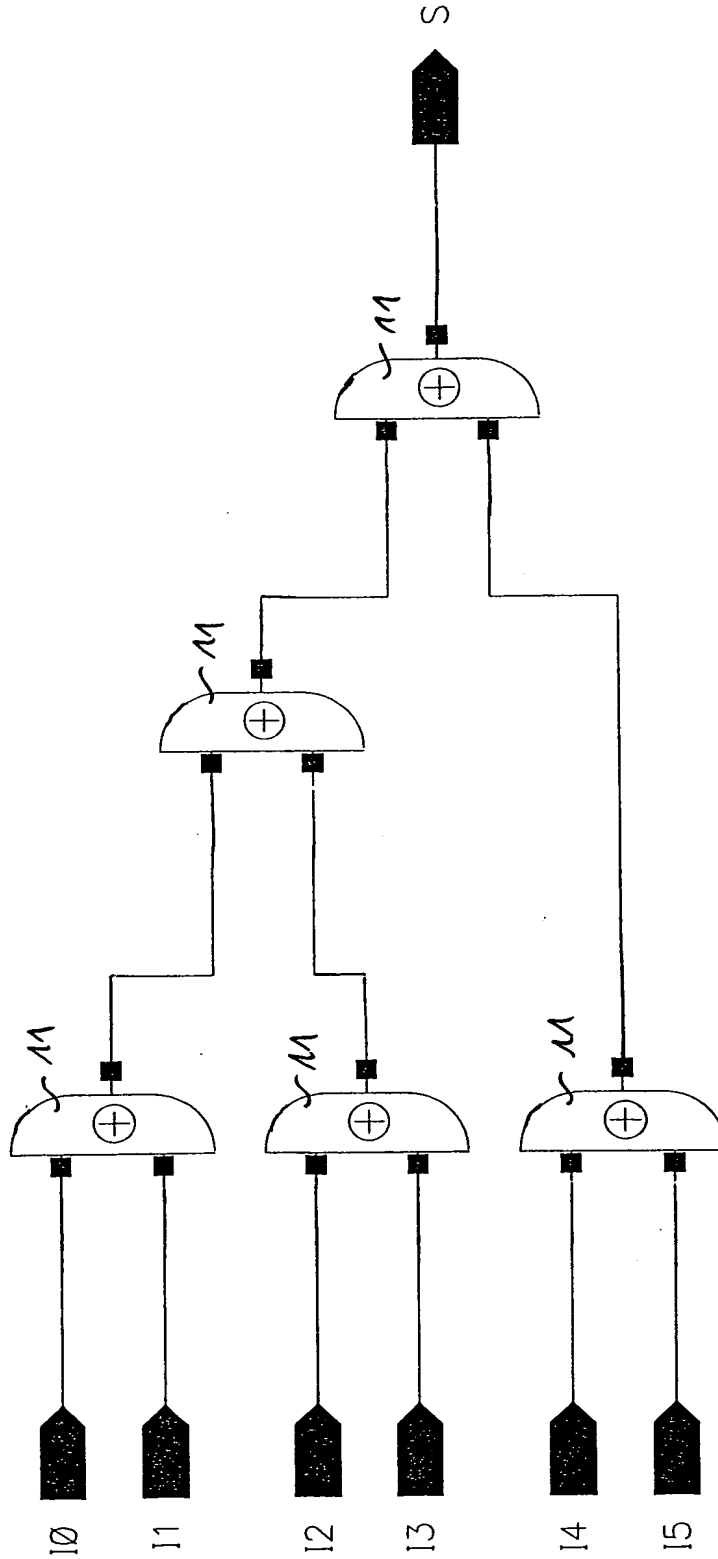


Fig. 7

6/10

Fig. 8

ST1

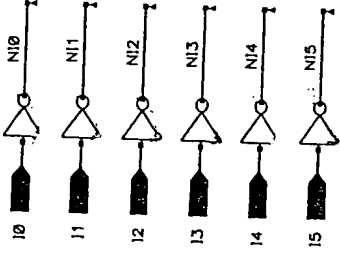
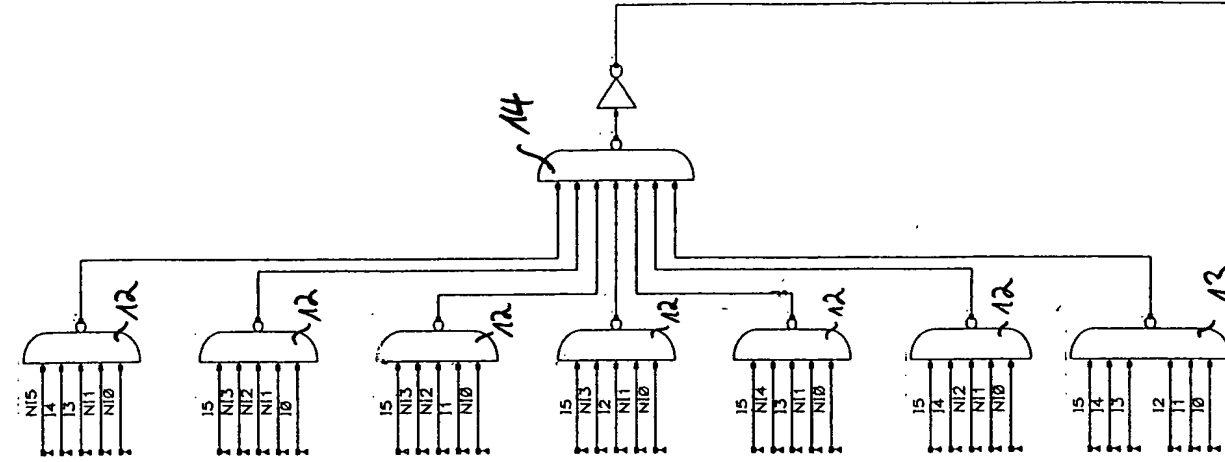
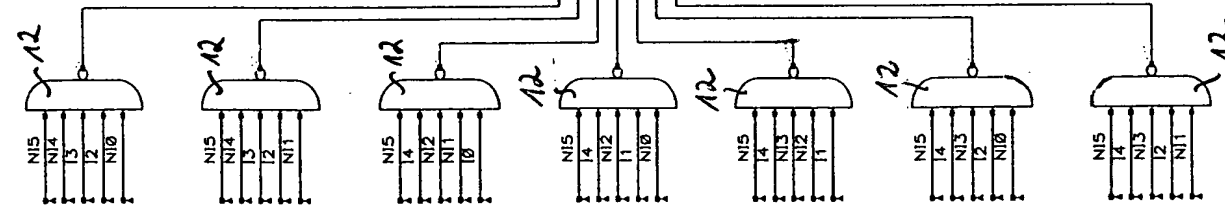
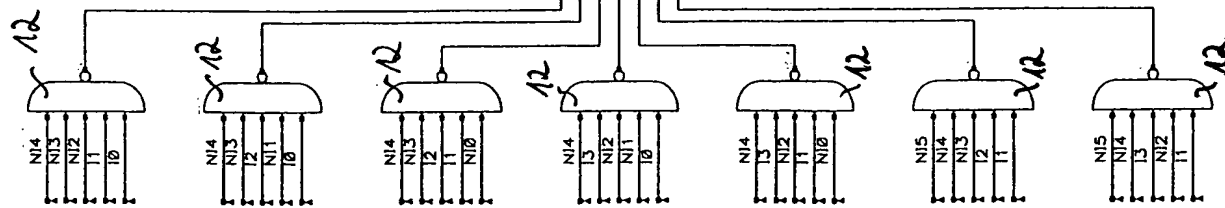
ST2

ST1

ST2

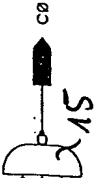
ST2

ST1



ADD-CO

ST3



7/10

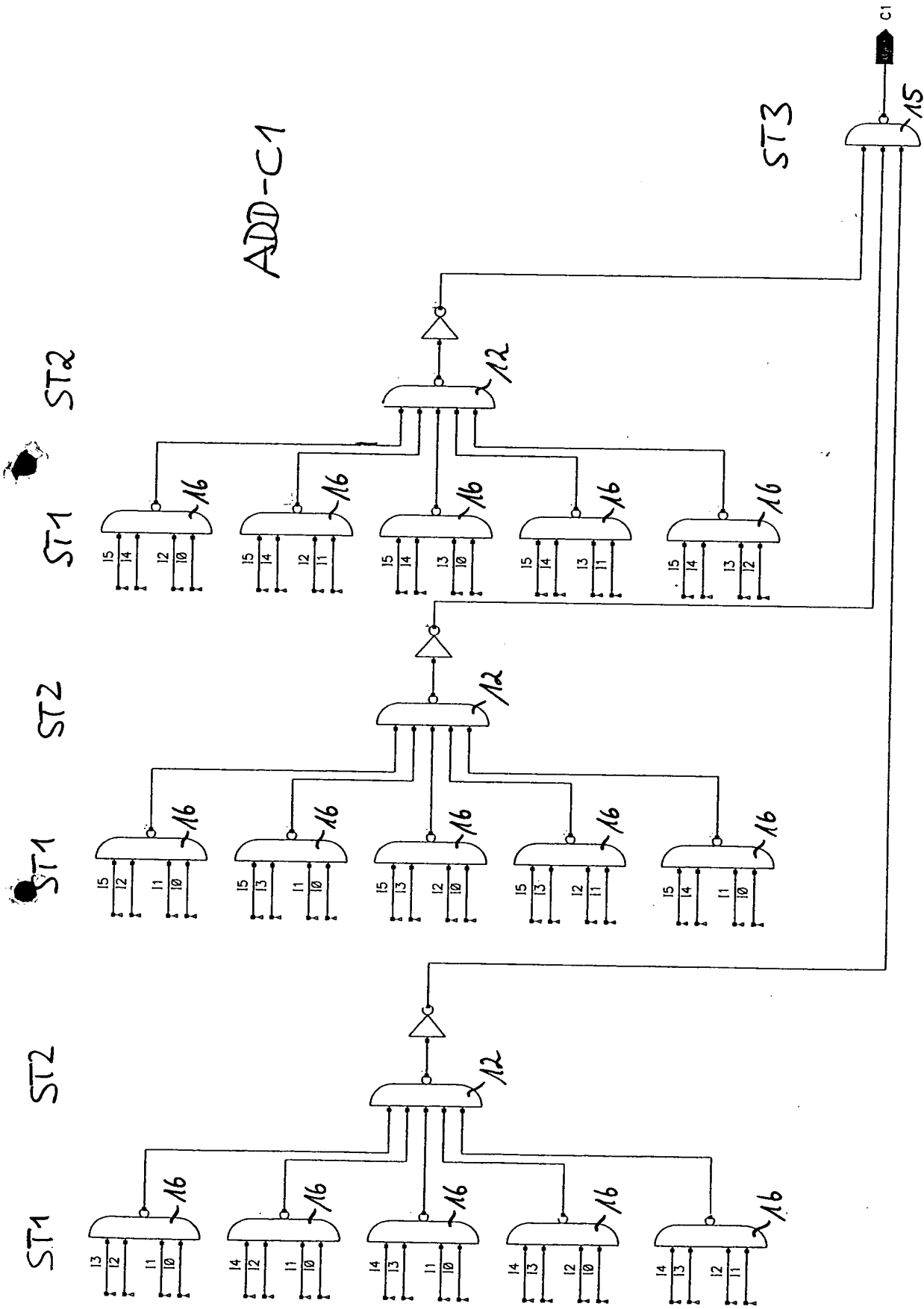


Fig. 9

8/10

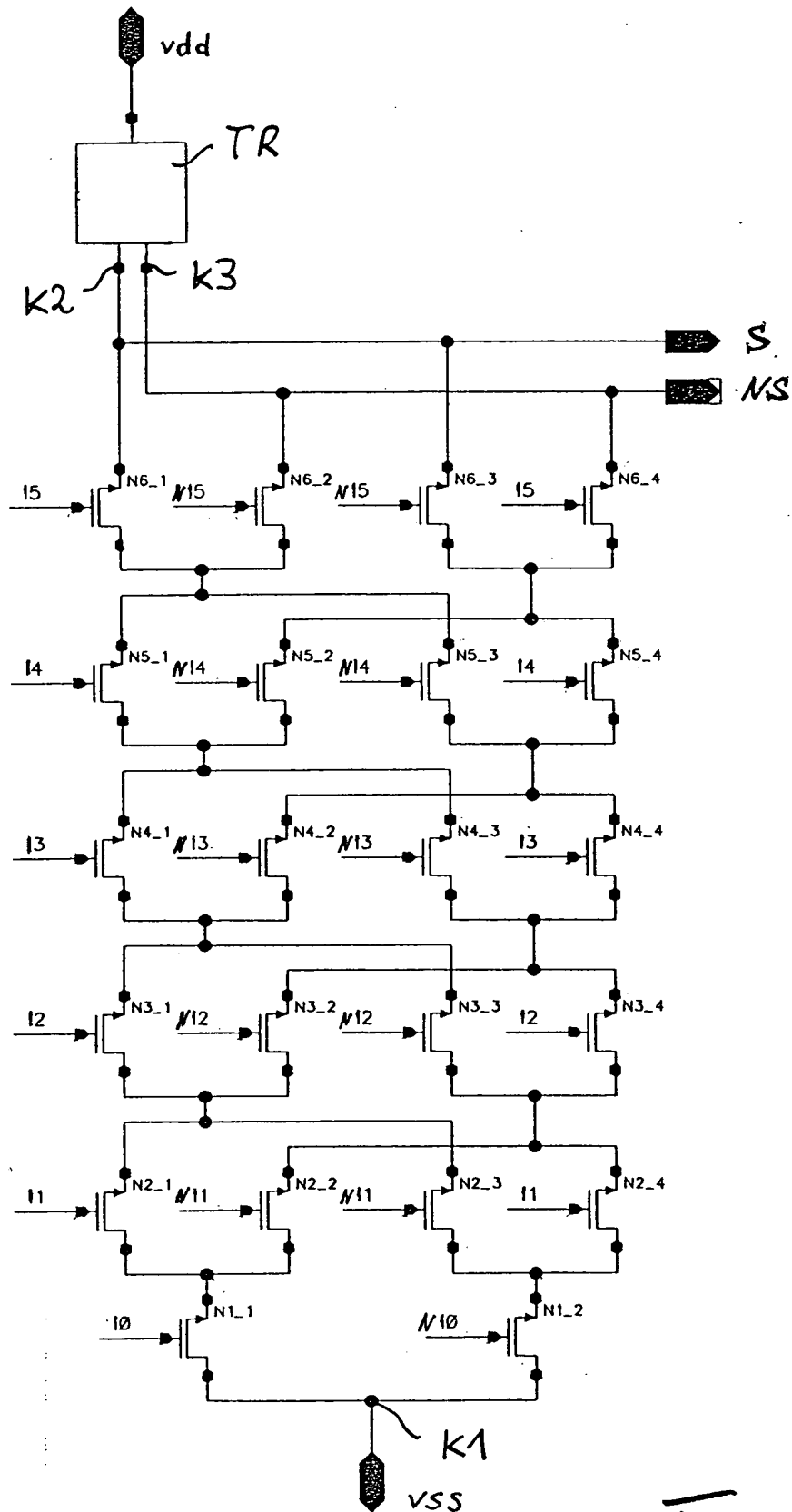


Fig. 10

9/10

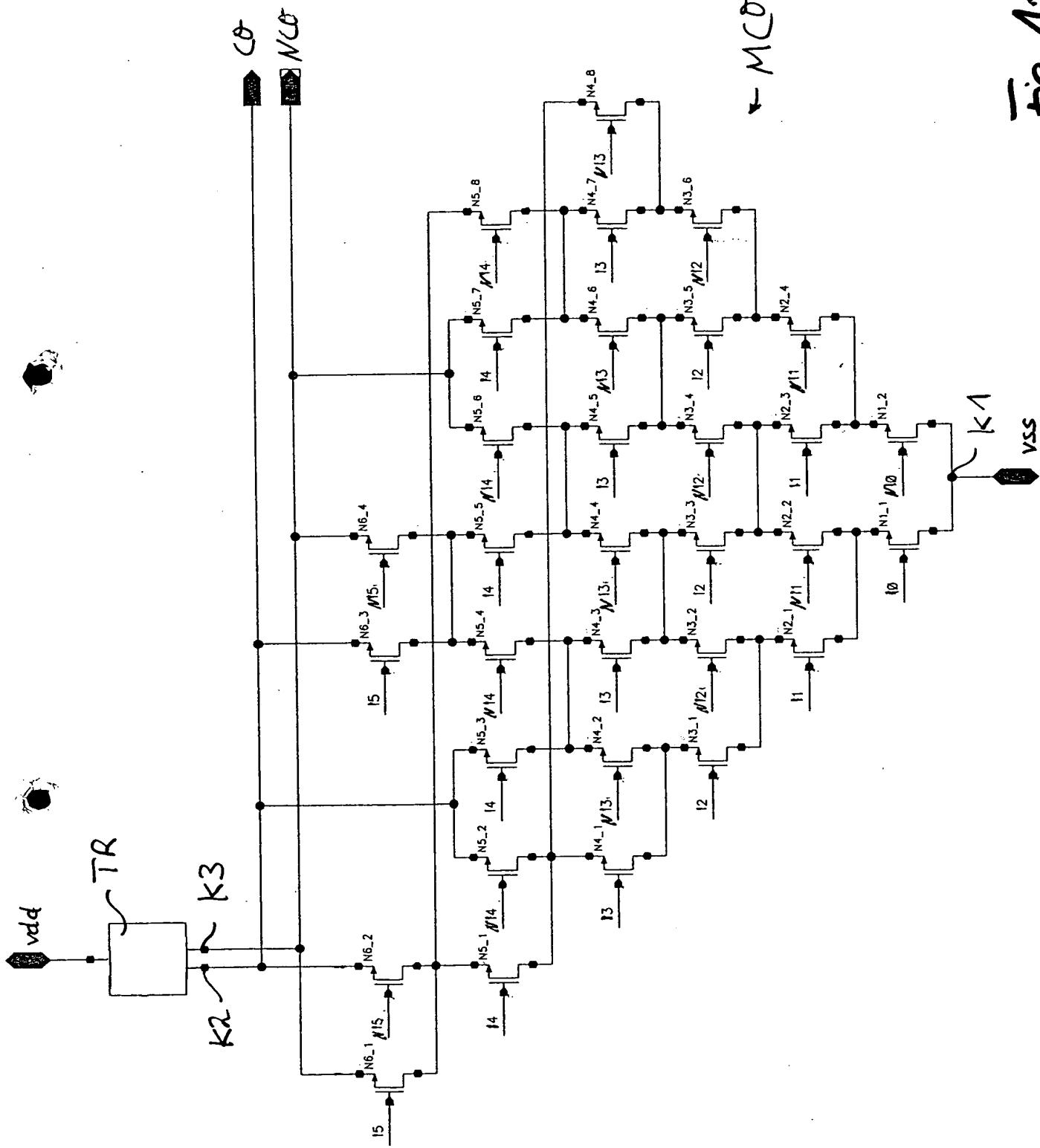


Fig. 11

